

METHOD OF FORMING THIN FILM HAVING HIGH PERMITTIVITY AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE USING THE THIN FILM HAVING HIGH PERMITTIVITY

Patent number: JP2002184773
Publication date: 2002-06-28
Inventor: WATABE HEIJI
Applicant: NEC CORP
Classification:
- **International:** H01L21/316; H01L21/203; H01L29/78
- **European:**
Application number: JP20000385907 20001219
Priority number(s):

Also published as:



JP2002184773 (A)

Abstract of JP2002184773

PROBLEM TO BE SOLVED: To provide a method of forming a thin film having a high permittivity with superior electric characteristics which can control and suppress the growth of an interfacial reaction layer during forming the thin film having a high permittivity and in each process after the formation of the thin film, and also to provide a method of manufacturing a semiconductor device using the thin film having a high permittivity.

SOLUTION: In a process of forming the thin film having a high permittivity or in processes after the film formation, a partial pressure of residual hydrogen and a partial pressure of residual water in the atmosphere are set to predetermined values or below. Thereby, a quantity of hydrogen supplied to the interface between the thin film having a high permittivity and a silicon substrate from a vapor phase through the thin film having a high permittivity is reduced to control the thickness of the interfacial reaction film formed in the interface between the thin film having a high permittivity and the silicon substrate to the atomic layer level, increasing the thickness of the thin film having a high permittivity such as ZrO₂ used as a gate insulation film and thereby reducing a tunnel current in a gate layer.

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-184773
(P2002-184773A)

(43) 公開日 平成14年6月28日 (2002. 6. 28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/316		H 0 1 L 21/316	B 5 F 0 4 0
			C 5 F 0 5 8
			M 5 F 1 0 3
21/203		21/203	Z
29/78		29/78	3 0 1 G
		審査請求 未請求 請求項の数12 O L (全 8 頁)	

(21) 出願番号 特願2000-385907 (P2000-385907)

(22) 出願日 平成12年12月19日 (2000. 12. 19)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 渡部 平司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100114672

弁理士 宮本 恵司

Fターム (参考) 5F040 DA01 DA02 DA14 DCD1 EC07
ED01 ED03

5F058 BA20 BD01 BD04 BD05 BF17
BF55 BF60 BF62 BJ10

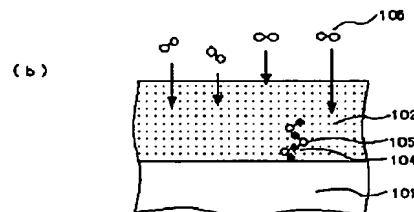
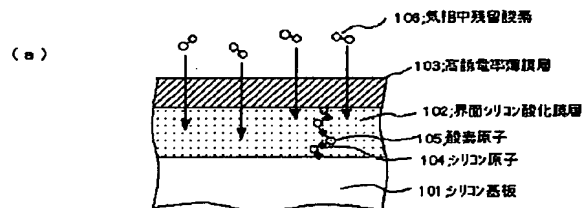
5F103 AA01 DD28 DD30 HH03 LL14
PP18 PP20 RR05

(54) 【発明の名称】 高誘電率薄膜の成膜方法及び高誘電率薄膜を用いた半導体装置の製造方法

(57) 【要約】

【課題】 高誘電率薄膜形成時および成膜後の各種工程での界面反応層の成長を制御・抑制することができる、電気的特性に優れた高誘電率薄膜の成膜方法及び高誘電率薄膜を用いた半導体装置の製造方法の提供。

【解決手段】 高誘電率薄膜の成膜工程又は成膜後の処理工程において、雰囲気中残留酸素分圧及び残留水分圧を所定の値以下に設定することにより、気相中から高誘電率薄膜を透過してシリコン基板との界面に供給される酸素量を低減してシリコン基板界面に形成される界面反応膜の膜厚を原子層レベルに制御し、ゲート絶縁膜として用いるZrO₂等の高誘電率薄膜の膜厚を大きくすることにより、ゲート層を流れるトンネル電流の低減を図る。



【特許請求の範囲】

【請求項1】高誘電率薄膜の成膜を、シリコン基板界面に形成される界面反応膜の膜厚を原子層レベルに制御可能な、所定の残留酸素分圧及び残留水分圧以下の雰囲気中で行うことを特徴とする高誘電率薄膜の成膜方法。

【請求項2】前記所定の残留酸素分圧及び残留水分圧が、 1×10^{-4} Torr、又は、 5×10^{-6} Torrに設定されることを特徴とする請求項1記載の高誘電率薄膜の成膜方法。

【請求項3】前記高誘電率薄膜の成膜工程が、前記高誘電率薄膜を構成する金属層を堆積する工程と、該金属層に酸化処理を施す工程とからなり、前記酸化処理工程における前記所定の残留酸素分圧及び残留水分圧が、 1×10^{-4} Torrに設定されることを特徴とする請求項1記載の高誘電率薄膜の成膜方法。

【請求項4】前記高誘電率薄膜の成膜を、減圧雰囲気下又は不活性ガスを含む雰囲気下で行うことを特徴とする請求項1乃至3のいずれか一に記載の高誘電率薄膜の成膜方法。

【請求項5】前記高誘電率薄膜が、ゲート絶縁膜として用いられることを特徴とする請求項1乃至4のいずれか一に記載の高誘電率薄膜の成膜方法。

【請求項6】前記高誘電率薄膜が、 ZrO_2 、 Ta_2O_5 、 Nb_2O_5 、 Al_2O_3 、 HfO_2 、 ScO_3 、 Y_2O_3 、 La_2O_3 、 CeO_2 、 Pr_2O_3 、 Nd_2O_3 、 Sm_2O_3 、 Eu_2O_3 、 Gd_2O_3 、 Tb_2O_3 、 Dy_2O_3 、 Ho_2O_3 、 Er_2O_3 、 Tm_2O_3 、 Yb_2O_3 、 Lu_2O_3 のいずれか一を含むことを特徴とする請求項1乃至5のいずれか一に記載の高誘電率薄膜の成膜方法。

【請求項7】高誘電率薄膜の成膜後の処理工程を、シリコン基板界面に形成される界面反応膜の膜厚を原子層レベルに制御可能な、所定の残留酸素分圧及び残留水分圧以下の雰囲気中で行うことを特徴とする半導体装置の製造方法。

【請求項8】前記所定の残留酸素分圧及び残留水分圧が、 1×10^{-4} Torr、 5×10^{-6} Torr、又は、 1×10^{-8} Torrに設定されることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】前記成膜後の処理が、加熱処理である、請求項7又は8に記載の半導体装置の製造方法。

【請求項10】前記成膜後の処理が、ドーパントの活性化処理を含む、請求項7又は8に記載の半導体装置の製造方法。

【請求項11】前記成膜後の処理を、減圧雰囲気下又は不活性ガスを含む雰囲気下で行うことを特徴とする請求項7乃至10のいずれか一に記載の半導体装置の製造方法。

【請求項12】請求項7乃至11のいずれか一に記載の処理を、少なくとも1回含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高誘電率薄膜の成膜方法及び高誘電率薄膜を用いた半導体装置の製造方法に関し、特に、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) の高集積化と高速化に不可欠な極薄ゲート絶縁膜層の成膜に用いて好適な高誘電率薄膜の成膜方法及び高誘電率薄膜を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】シリコン酸化膜はプロセス上の安定性や優れた絶縁特性を有し、MOSFETのゲート絶縁膜材料として用いられている。近年の素子微細化と共にゲート絶縁膜の薄層化が進んでおり、ゲート長が100nm程度以下になるとスケールリング則の要請からゲート絶縁膜であるシリコン酸化膜の厚さは1.5nm以下であることが必要となっている。しかし、このような極薄の絶縁膜を用いた場合、ゲートバイアス印加時に絶縁層を挿入でのトンネル電流がソース/ドレイン電流に対して無視できない値となり、MOSFETの高性能化と低消費電力化における大きな課題となっている。

【0003】そこで、実効的なゲート絶縁膜を薄くし、かつトンネル電流をデバイス設計上の許容値内に抑える為の研究開発が進められている。その一つの方法は、シリコン酸化膜中に窒素を添加する事で純粋なシリコン酸化膜に比べて誘電率を増大させ、物理的な膜厚を薄層化する事なしに実効的なゲート絶縁層の膜厚を減少させる方法であるが、シリコン酸化膜への窒素添加による高誘電率化には限界があることが指摘されている。

【0004】二つ目の方法は、誘電率3.9であるシリコン酸化膜に代わって、誘電率10以上の薄膜材料、またはこれらの材料とシリコンとの複合材料であるシリケート薄膜をゲート絶縁膜に採用するという方法である。このような高誘電率薄膜としては、 Al_2O_3 、 ZrO_2 や HfO_2 、および Y_2O_3 などの希土類元素酸化物、さらにはランタノイド系元素の酸化物が候補材料として検討されている。これらの高誘電率膜を用いれば、ゲート長を微細にしてもスケールリング則に則ったゲート絶縁膜容量を保持しつつ、ゲート絶縁膜としてトンネル電流を防げる厚さにすることができる。

【0005】なお、ゲート絶縁膜の種類によらず、ゲート絶縁膜材料がシリコン酸化膜であると仮定して、ゲート容量から逆算して得られるシリコン酸化膜の膜厚をシリコン酸化膜換算膜厚と呼ぶ。すなわち、絶縁膜とシリコン酸化膜の比誘電率をそれぞれ ϵ_h 、 ϵ_o とし、絶縁膜の厚さを d_h とした時、シリコン酸化膜換算膜厚 d_e は、式1で与えられる。

【0006】

$$d_e = d_h(\epsilon_o / \epsilon_h) \quad \dots(1)$$

【0007】式1は、 ϵ_o に較べて大きな誘電率 ϵ_h をもった材料を用いれば、絶縁膜が厚くても薄いシリコン酸化膜と同等になりうることを示している。すなわち、

シリコン酸化膜の比誘電率 ϵ_o は3.9程度なので、例えば $\epsilon_h = 3.9$ の高誘電率膜を用いれば15nmの厚さにしても1.5nmのシリコン酸化膜換算膜厚になり、トンネル電流を激減できるということになる。

【0008】

【発明が解決しようとする課題】しかしながら、上述したように、各種の高誘電率薄膜はゲート絶縁膜として優れた特性を有するが、高誘電率薄膜の成膜時および成膜後の加熱工程で、シリコン基板との界面にシリコン酸化膜を主成分とした界面遷移層が形成されるという問題がある。

【0009】MOSFETにおけるゲート絶縁膜の作製では、高誘電率薄膜に比べて誘電率の低い界面層（シリコン酸*

$$de = (dh + do) \frac{\epsilon_o}{\epsilon_h} = \{ d\alpha(\epsilon_h \epsilon_o) + dh \} \frac{\epsilon_o}{\epsilon_h} \quad \dots(3)$$

【0013】ここで、仮に、シリコン酸化膜が存在せず（ $do = 0$ ）、 $\epsilon_h = 3.9$ の高誘電率膜を採用して1.5nm厚の換算膜厚とするには、15nmの厚さにすればよいが、1nmのシリコン酸化膜が界面に存在した場合には、高誘電率膜の膜厚は5nmにしなければならない。20 ϵ_h がさらに小さい場合には、シリコン酸化膜が挟まれば膜厚はますます小さいものとなり、トンネル電流を防ぐことができなくなってしまう。

【0014】高誘電率薄膜の成膜では、一般的に膜厚の均一性や膜質がシリコン酸化膜に比べて悪いため、高誘電率薄膜自体の薄層化にも限界がある。この結果、界面シリコン酸化膜層を薄くして、高誘電率層の膜厚を比較的厚く設定しないと優れた特性を期待できない。従って、界面シリコン酸化膜層の増減を原子層レベルでコントロールしなければ製造でのロット間、ロット内、さら30 にウェハ間でのシリコン酸化膜換算膜厚 de の制御が実質的に困難となる。

【0015】この様に原子層レベルでの界面層制御が要求されるにも関わらず、MOSFETの製造工程ではドーパント活性化のために1000℃前後の熱処理が必要であり、従来技術では界面層の熱安定性確保が困難である。また、高誘電率薄膜の成膜時においても、基板との界面に反応層（酸化膜層）が形成されることが報告されており、上述の熱安定性と共にデバイス開発上の大きな課題である。

【0016】上記高誘電率膜形成後の高温での熱処理工程を回避する対応策としては、ダミーゲート電極作製後にドーパント活性化の為に高温熱処理を実施し、ダミーゲート等を除去してから高誘電率ゲート薄膜を堆積する方法が検討されている。しかしながら、本手法では製造プロセスが複雑となるだけでなく、ダミーゲート除去工程時に発生する汚染等の問題が生じてしまう。従って、従来のMOSFET製造プロセスの利点を生かすためには、高誘電率ゲート薄膜とシリコン基板界面の高温下での熱安定性を確保する事が必要である。

*化膜層）が形成されると、実効的な絶縁層厚が増加してしまうため、シリコン酸化膜換算膜厚で1.5nm以下の極薄ゲート絶縁膜開発において大きな課題となっている。例えば、厚さ dh 、比誘電率 ϵ_h の高誘電率の下に比誘電率 ϵ_o のシリコン酸化膜が do の厚さで存在すると、単位面積当たりの容量は式2のようになる。

【0010】

$$\frac{\epsilon_e}{dh + do} = \frac{\epsilon_h}{d\alpha(\epsilon_h \epsilon_o) + dh} \quad \dots(2)$$

10 【0011】 ϵ_e は複合膜を単一膜と見なした場合の実効的な比誘電率である。従って、シリコン酸化膜換算膜厚は式3のようになる。

【0012】

$$\dots(3)$$

【0017】一方、高誘電率薄膜とシリコン基板との界面特性の理解が不十分であるのに対して、シリコンとシリコン酸化膜との界面は電気的な欠陥単位密度が少なく、またシリコン酸化膜は高誘電率薄膜に比べてバンドギャップが大きい20 ため、デバイス特性の観点からは高誘電率薄膜との界面にシリコン酸化膜層が存在する方が望ましい。しかし、上述の様に、極薄ゲート絶縁層の実現には、誘電率の低いシリコン酸化膜層（界面層）の厚さは数原子層程度である事が要求される。

【0018】以上の点を総合的に勘案すると、シリコン基板と高誘電率薄膜との界面にシリコン酸化膜層を意図的に挿入した工程を採用するかどうかに関らず、高誘電率薄膜の成膜やその後の処理工程において、界面遷移層（酸化膜層）の形成や成長を原子層レベルで制御・抑制する技術を確立する事が重要となっている。

【0019】本発明は、上記問題点を鑑みてなされたものであって、その主たる目的は、高誘電率薄膜形成時および成膜後の各種工程での界面反応層の成長を制御・抑制することができる、電気的特性に優れた高誘電率薄膜の成膜方法及び高誘電率薄膜を用いた半導体装置の製造方法を提供することにある。

【0020】

【課題を解決するための手段】上記目的を達成するため、本発明は、高誘電率薄膜の成膜を、シリコン基板表面に形成される界面反応膜の膜厚を原子層レベルに制御可能な、所定の残留酸素分圧及び残留水分分圧以下の雰囲気で行うものである。

【0021】本発明においては、前記所定の残留酸素分圧及び残留水分分圧が、 1×10^{-4} Torr、又は、 5×10^{-4} Torrに設定される構成とすることができる。

【0022】また、本発明においては、前記高誘電率薄膜の成膜工程が、前記高誘電率薄膜を構成する金属層を堆積する工程と、該金属層に酸化処理を施す工程とからなり、前記酸化処理工程における前記所定の残留酸素分圧及び残留水分分圧が、 1×10^{-4} Torrに設定されること50

構成とすることもできる。

【0023】また、本発明においては、前記高誘電率薄膜が、ゲート絶縁膜として用いられることが好ましい。

【0024】また、本発明は、高誘電率薄膜の成膜後の処理工程を、シリコン基板界面に形成される界面反応膜の膜厚を原子層レベルに制御可能な、所定の残留酸素分圧及び残留水分圧以下の雰囲気中で行うものである。

【0025】本発明においては、前記所定の残留酸素分圧及び残留水分圧が、 1×10^{-4} Torr、 5×10^{-6} Torr、又は、 1×10^{-8} Torrに設定される構成とすることができる。

【0026】また、本発明においては、前記成膜後の処理が、ドーパントの活性化処理を含むことが好ましい。

【0027】また、本発明においては、前記高誘電率薄膜の成膜又は前記成膜後の処理を、減圧雰囲気下又は不活性ガスを含む雰囲気中で行うことが好ましい。

【0028】このように、本発明は上記構成により、高誘電率薄膜とシリコン基板との界面遷移層（シリコン酸化膜層）の成長を制御・抑制することができ、実効的なゲート絶縁膜厚を薄層化することにより、ゲート層を流れるトンネル電流を飛躍的に低減させ、高性能かつ低消費電力のMOSFETを製造することができる。

【0029】

【発明の実施の形態】本発明に係る高誘電率薄膜の成膜方法は、その好ましい一実施の形態において、高誘電率薄膜の成膜工程又は成膜後の処理工程において、雰囲気中残留酸素分圧及び残留水分圧を所定の値以下に設定することにより、気相中から高誘電率薄膜を透過してシリコン基板との界面に供給される酸素量を低減してシリコン基板界面に形成される界面反応膜の膜厚を原子層レベルに制御し、ゲート絶縁膜として用いる ZrO_2 等の高誘電率薄膜の膜厚を大きくすることにより、ゲート層を流れるトンネル電流の低減を図るものである。

【0030】具体的には、高誘電率薄膜の成膜時においては、雰囲気中の残留酸素分圧を 1×10^{-4} Torr以下に低減することで界面反応層（酸化層）の成長を1 nm以下に抑制することができ、残留酸素分圧を 5×10^{-6} Torr以下に低減することで界面反応層の成長を0.3 nm以下に抑制することが可能となり、高誘電率薄膜の成膜工程を減圧下あるいは不活性ガスを含む雰囲気中で行う場合にも、上述の様に残留酸素分圧と水分圧を低減することによって界面反応層の成長を抑制することが可能となる。

【0031】また、高誘電率薄膜成膜後の処理工程においては、残留酸素分圧ならびに水分圧を 1×10^{-4} Torr以下とすることで界面反応を停止させることができ、これらの分圧を 5×10^{-6} Torr以下にすることで界面反応層を0.3 nm以下に、 1×10^{-4} Torr以下にすることで界面反応層を1 nm以下に抑制することができる。更

に、この高誘電率薄膜処理工程を減圧下あるいは不活性ガスを含む雰囲気中では実施する場合でも、上記に示したような低残留酸素分圧ならびに低残留水分圧条件下で処理することで、界面反応層の成長を停止または抑制することが可能である。特に、界面反応の進行は高温下で顕著となるため、残留酸素分圧と水分圧の低減効果は加熱処理工程に対して顕著となる。

【0032】ここで、残留酸素分圧と水分圧の低減効果について、図1を参照して以下に説明する。 ZrO_2 や HfO_2 などの高誘電率薄膜とシリコン基板との界面には、シリコン酸化膜を主成分とした界面遷移層（シリケート層の場合もある）が形成されることが報告されている。この問題を解決するプロセス改善において重要な事項は、図1に示すように、界面酸化を引き起こす酸素は高誘電率薄膜層103中から供給されるのではなく、気相中の残留酸素106が高誘電率薄膜層103を透過してシリコン基板101との界面に到達し、シリコン原子104と結合することによってシリコン基板101の酸化反応が進行している点である。

【0033】この現象は、シリコン基板101上に ZrO_2 等の高誘電率薄膜103を堆積した試料を残留酸素（残留水分）が存在する雰囲気中で熱処理した場合には界面酸化層が成長するのに対して、 1×10^{-8} Torr以下の超高真空中で熱処理を行った場合では界面酸化膜層が全く成長しない実験事実から明らかである。

【0034】また、一般に種々の熱処理工程において、雰囲気中の残留酸素や残留水分がシリコン基板の酸化を引き起こすことは周知である。しかし、シリコン酸化膜については、残留酸素が存在してもドーパント活性化のための1000℃以上の熱処理を実施してもシリコン酸化膜厚が増加する問題は生じない。これは、シリコン酸化膜層を透過する酸素量は、上述の高誘電率膜中を透過する酸素量に比べて非常に少ないため、熱処理工程で残留酸素が存在してもシリコン酸化膜とシリコン基板との界面での酸化反応は進行しないからである。従って、上述の高誘電率薄膜を用いる場合には、従来技術に比べて遥かに高精度にプロセス雰囲気中の残留酸素分圧や残留水分圧を制御することが重要となる。

【0035】さらに同様の現象は、高誘電率薄膜の成膜時やその後の電極形成等の成膜プロセスにおいて、高誘電率薄膜層の一部が処理雰囲気中に曝される際にも当てはまり、シリコン酸化膜に対しては問題とならない程度の残留酸素や水分が気相中に存在する場合でも、高誘電率薄膜を有するデバイスの作製工程では界面酸化膜層の成長によって致命的な問題が生じる。

【0036】以上の作用を考慮すれば、高誘電率薄膜を有するデバイスの製造工程においては、界面酸化膜層の増加量として許容される値を把握し、各プロセス中の残留酸素分圧を制御することが必要である。例えば、キャパシターなどの様に、絶縁層厚がまだ原子レベルにまで

薄層化されていない工程では、1 nm程度の界面反応層の成長が許される場合があるが、MOSFETのゲート絶縁膜の作製においては注意が必要であり、特にシリコン酸化膜換算膜厚で1.5 nmを下回るような極薄ゲートを作製する場合には、数原子層の界面酸化層の成長が素子特性を大きく左右するため、残留酸素分圧や水分圧の厳密な制御が必要となる。

【0037】また、界面電気特性改善のため、高誘電率薄膜とシリコン基板との界面に原子層厚のシリコン酸化膜層を挿入した構造においても、各種のプロセス工程によって初期の積層構造から界面酸化膜厚の原子層程度の増加を精密に制御しなければならない。

【0038】このように、絶縁層厚増加の許容値により要求される残留酸化分圧のレベルが異なるが、本発明では、高誘電率薄膜の膜厚制御性等を勘案してシリコン酸化膜換算膜厚を1.5 nm以下とすることができる代表的なプロセス条件を例示している。具体的には、界面酸化膜層の膜厚が略1 nm、略0.3 nmとなる残留酸素分圧や残留水分圧を各々規定し、極薄ゲート絶縁膜形成の指標としている。

【0039】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の一実施例について、図2及び図3を参照して説明する。図2は、本実施例の高誘電率薄膜の成膜プロセスを工程順に示したフロー図であり、図3は、本実施例の高誘電率薄膜の成膜に用いるプロセス装置の例を示す断面図である。

【0040】以下、図2のフロー図に従って、本実施例の成膜方法により $ZrO_2/SiO_2/Si$ 積層構造からなる高誘電体ゲート絶縁層を有するMOSFETデバイスの作製を行った例について説明する。本実施例は、シリコン基板201と高誘電率薄膜層205との界面に意図的に3原子層厚のシリコン酸化膜層203を挿入した場合の成膜プロセスを示すものであり、このシリコン酸化膜層203上への ZrO_2 膜の形成は、金属Zr層を堆積後に減圧酸素雰囲気中で金属層を酸化処理することにより行った。なお、図2では簡略化のために素子作製領域のみを模式化して示すこととする。

【0041】まず、図2(a)に示すように、シリコンウェハ洗浄後にフッ酸溶液処理によりその表面を水素原子202にて終端したシリコン基板201を、図3に示した極薄ゲート絶縁膜形成装置の試料交換室に導入した。そして、交換室の真空排気後、シリコン基板201を処理室に搬送し、真空中500℃にて熱処理を施し、表面を終端していた水素を脱離させて清浄なシリコン表面を得た。さらに、熱処理温度を850℃に上げ、真空中で保持して高温下でのシリコン原子の表面拡散と昇華反応によってデバイス作製領域の平坦化処理を実施した(図2(b)参照)。本工程により、原子間力顕微鏡で測定した表面粗さの指標RMSは0.17 nm以下とな

り、原子レベルで平坦な表面が形成された事を確認した。

【0042】シリコン基板201表面に意図的に原子層レベルのシリコン酸化膜層203を形成する工程では、以下の様に酸化条件を階段状に変化させることで原子層毎の酸化工程を実施した。まず、水素脱離、平坦化が完了したシリコン基板201を基板温度635℃、酸素分圧 2×10^{-6} Torrにて10分間酸化処理を行い、表面から第2原子層目までを酸化し、その後、基板温度720℃、酸素分圧 4×10^{-7} Torrに酸化条件を変えて20分間の処理を実施し、第3原子層目までの酸化を完了した(図2(c)参照)。

【0043】本工程は、過去に報告されているシリコン表面の原子層毎の酸化処理条件に基づくプロセスであり、上記の工程によって3原子層厚(約0.6 nm)のシリコン酸化膜層203が形成されていることをX線光電子分光法や電子顕微鏡法によって確認した。

【0044】上記の酸化膜形成工程に続いて、基板温度を室温に下げ、酸素ガスの排気を十分に行った後、電子ビーム蒸着法によりZr金属原料をシリコン酸化膜層203上に供給してZr堆積層204を形成した(図2(d)参照)。その後、再び処理室中に酸素ガスを導入し、基板温度550℃、酸素分圧 1×10^{-4} Torrの条件でZr堆積層204の酸化処理を行い、 ZrO_2 層205を形成した(図2(e)参照)。

【0045】上記の酸化処理では、基板温度が550℃と比較的低温であるため、界面シリコン酸化膜層203が初期膜厚から増加しないことを、光電子分光ならびに電子顕微鏡による断面構造の観察から確認した。また、上記の様な金属膜の堆積と酸化工程を分離した高誘電率薄膜作製法以外でも、原料ガス中の残留酸素分圧を低減することで、界面シリコン酸化膜層の膜厚が増加しないことを同様の手法で確認した。

【0046】これに対して、上記のZr膜204堆積後の酸化処理を基板温度700℃(酸素分圧 1×10^{-4} Torr)として実施した場合には、 ZrO_2 層205とシリコン基板201との界面酸化反応が進行し、シリコン酸化膜厚が0.6 nmから約1 nmにまで増加した。

【0047】その後、Zr堆積層204を550℃にて酸化処理した ZrO_2 層205(約2 nm)/シリコン酸化膜層203(0.6 nm)/シリコン基板201からなる積層構造試料を極薄ゲート絶縁膜形成装置から取出し、ポリシリコンゲート形成、ならびにソース・ドレイン領域207、208のイオン注入を実施した(図2(f)参照)。これらの成膜およびイオン注入等の工程においても、ウェハ試料を昇温する場合には雰囲気中の残留酸素分圧と残留水分圧を 1×10^{-6} Torr以下に低減することで、界面シリコン酸化膜層203の成長を抑制できることを確認している。

【0048】さらに、上記試料のドーパントの活性化処

理では、 1×10^{-6} Torr以下の高真空中、または残留酸素分圧ならびに残留水分圧が 1×10^{-6} Torr以下の高純度の不活性ガス雰囲気中で 1050°C の熱処理を実施した。その結果、界面シリコン酸化膜層の増加を 0.2 nm 未満に抑えることに成功した。一方、上述の熱処理工程で、巻き込み酸化が起きる開放型の石英炉の様な残留酸素分圧や水分圧を意図的に低減していない熱処理炉を用いた場合は、高誘電率ゲート薄膜が気相と接触したゲート端部等において界面シリコン酸化膜層の増加を観測し、本発明の効果を確認した。

【0049】この工程で作製したMOSFETについて、MOS容量を測定した結果、シリコン酸化膜に換算した実効的なゲート絶縁膜厚は約 1.1 nm であった。また、電流-電圧測定の結果、 1 V 印加時に絶縁層間を流れるトンネル電流は 0.05 A/cm^2 未満であった。

【0050】上記の実施例は、代表的な高誘電率薄膜である ZrO_2 について示したが、これ以外の高誘電率薄膜材料の候補としては、 Ta_2O_5 、 Nb_2O_5 、 Al_2O_3 、 HfO_2 や希土類元素の酸化物である ScO_2 、 Y_2O_3 、さらにはランタノイド系元素の酸化物である La_2O_3 、 CeO_2 、 Pr_2O_3 、 Nd_2O_3 、 Sm_2O_3 、 Eu_2O_3 、 Gd_2O_3 、 Tb_2O_3 、 Dy_2O_3 、 Ho_2O_3 、 Er_2O_3 、 Tm_2O_3 、 Yb_2O_3 、 Lu_2O_3 があり、これらの典型的な誘電率は $10 \sim 30$ 程度である。さらに上述の材料とシリコンとの3元系材料薄膜についても高誘電率薄膜としての応用が考えられている。これらの材料系についても、本実施例で示した高誘電率薄膜中の酸素透過による界面反応層の形成は重大な問題であり、成膜中および処理中の残留酸素分圧ならびに残留水分圧低減による界面反応層（酸化膜層）の成長抑制（停止）が有効な技術となる。

【0051】このように、本実施例の高誘電率薄膜の成膜プロセスでは、金属層204の酸化処理、ドーパント活性化処理等の熱処理の際に、残留酸素分圧ならびに残留水分圧を所定の値以下（ 1×10^{-4} Torr、 1×10^{-6} Torr等）に低減することにより、高誘電率薄膜層205とシリコン基板201との間に形成される界面遷移層（シリコン酸化膜層）の成長を抑制し、ゲート層を流れるトンネル電流を飛躍的に低減させた高性能かつ低消費電力のMOSFETデバイスを製造することができる。

【0052】なお、本実施例では、予め数原子層厚のシリコン酸化膜203を形成するプロセスについて説明したが、このシリコン酸化膜203が無くてもシリコン酸化膜換算膜厚を 1.5 nm 以下にすることができる。また、高誘電率薄膜層205の形成を金属層204堆積後、酸化処理を施すことによって行ったが、高誘電率薄膜層205を直接成膜しても良い。更に、本実施例では、高誘電率薄膜層205をゲート絶縁膜として用いる

例について説明したが、本発明は上記実施例に限定されるものではなく、ゲート絶縁膜以外の高誘電率薄膜を必要とする部位に本発明の高誘電率薄膜を形成しても良いことは明らかである。

【0053】

【発明の効果】以上説明したように、本発明の高誘電率薄膜の成膜方法および処理方法によれば、成膜中および処理中の残留酸素分圧ならびに残留水分圧を所定の値以下に低減することにより、高誘電率薄膜とシリコン基板との界面遷移層（シリコン酸化膜層）の成長を制御・抑制することができるという効果がある。そして、実効的なゲート絶縁膜厚を 1 nm レベルにまで薄層化することにより、ゲート層を流れるトンネル電流を飛躍的に低減させ、高性能かつ低消費電力のMOSFETを製造することが可能となるという効果がある。

【図面の簡単な説明】

【図1】シリコン基板上にシリコン酸化膜が形成される様子を模式的に示す断面図である。

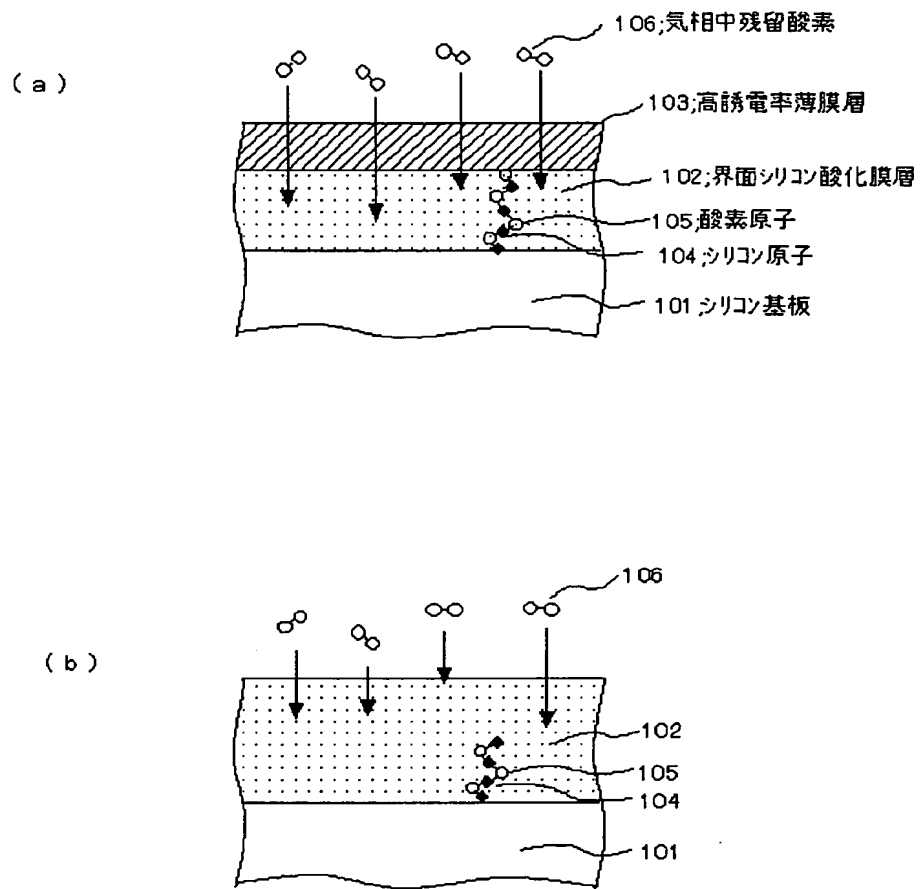
【図2】本発明の一実施例に係る $\text{ZrO}_2/\text{SiO}_2/\text{Si}$ 積層ゲート構造を作製する場合のプロセス工程を示す図である。

【図3】本発明の高誘電率薄膜を成膜するプロセス装置の例を示す断面図である。

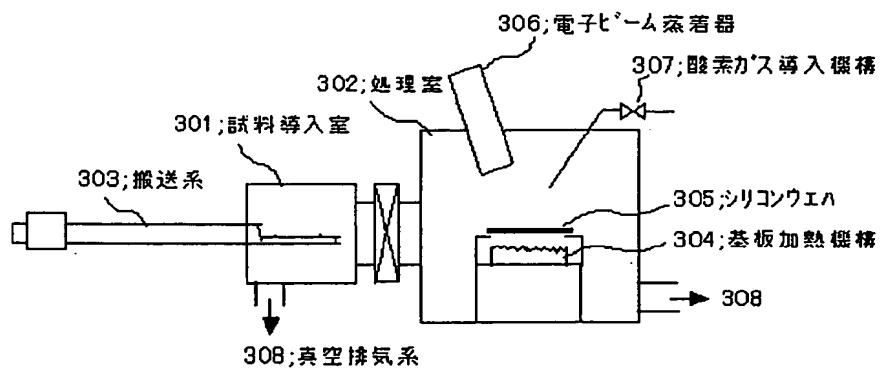
【符号の説明】

- 101 シリコン基板
- 102 界面シリコン酸化膜層
- 103 高誘電率薄膜層
- 104 シリコン原子
- 105 酸素原子
- 106 気相中残留酸素
- 201 シリコン基板
- 202 表面水素
- 203 シリコン酸化膜層
- 204 金属（Zr）堆積層
- 205 高誘電率薄膜（ ZrO_2 ）層
- 206 ゲート電極
- 207 ソース領域
- 208 ドレイン領域
- 301 試料導入室
- 302 処理室
- 303 搬送系
- 304 基板加熱機構
- 305 シリコンウエハ
- 306 電子ビーム蒸着器
- 307 酸素ガス導入機構
- 308 真空排気系

【図1】



【図3】



【図2】

